



**DEPARTAMENTO:** *Fundamentos da Computação*  
**CURSO:** *Engenharia de Computação*  
**DISCIPLINA:** *Organização de Computadores*  
**CÓDIGO:** 46183      **CRÉDITOS:** 04      **CARGA HORÁRIA:** 60 horas-aula  
**VALIDADE:** a partir de 2006/II

**OBJETIVOS:** O cumprimento da disciplina busca dar ao aluno, ao final do semestre, condições de:

1. Compreender o modelo de programa armazenado e sua relação com a organização do hardware em computadores modernos.
2. Aprender os conceitos básicos relacionados a conjuntos de instruções de processadores, linguagem de montagem e linguagem objeto, bem como programação de processadores nestas linguagens.
3. Conhecer os componentes básicos da organização de hardware de um computador e entender sua classificação segundo a finalidade a que se destinam, controle do fluxo de informação (bloco de controle) e transformação de informação (bloco de dados).
4. Distinguir bloco de dados e bloco de controle de um computador, quanto à função, composição e construção.
5. Dominar um subconjunto mínimo de técnicas de implementação do bloco de dados e seus componentes, e do bloco de controle e seus componentes.
6. Dominar uma HDL específica, e ser capaz de empregá-la para descrever sistemas digitais.

**EMENTA:**

O modelo bloco de dados-bloco de controle: computador de programa armazenado. Fluxo de execução de instruções. Avaliação de desempenho. Otimização do bloco de dados e de controle: simulação e síntese. Ferramentas de projeto auxiliado por computador. Organização de computadores e execução de programas. O processo de projeto de sistemas digitais.

Carimbo e Assinatura da Unidade:

**Campus Central**

Av. Ipiranga, 6681 – Prédio 32 – CEP: 90619-900  
Fone: (51) 3320-3558 – Fax (51) 3320-3758  
E-mail: [informatica@pucrs.br](mailto:informatica@pucrs.br)  
[www.pucrs.br/facin](http://www.pucrs.br/facin)



**UNIDADE: 01**

**CONTEÚDO:** Introdução

- 1.1. Modelos gerais de organização de computadores:
  - 1.1.1. Modelo de von Neumann
  - 1.1.2. Modelo Harvard
- 1.2. Classificação das arquiteturas conforme o conjunto de instruções
- 1.3. Conjunto de Instruções
  - 1.3.1. Endereçamento de memória
  - 1.3.2. Tipo e tamanho de operandos
  - 1.3.3. Tipo de operações
- 1.4. Modos de Endereçamento
- 1.5. Arquitetura Load-Store

**Nº DA UNIDADE: 02**

**CONTEÚDO:** Programação em Linguagem de Montagem

- 2.1. Arquitetura MIPS: características gerais
- 2.2. Conjunto de Instruções
  - 2.2.1. Operações registrador-registrador
  - 2.2.2. Operações de acesso à memória
  - 2.2.3. Operações para controle de fluxo
- 2.3. Relação entre programação em linguagem de alto nível e a linguagem de montagem
- 2.4. Chamadas de procedimento
  - 2.4.1. Chamadas não aninhadas
  - 2.4.2. Chamadas aninhadas
  - 2.4.3. Chamadas recursivas
- 2.5. Características de outros processadores quanto ao conjunto de instruções
- 2.6. Desempenho
  - 2.6.1. Instruções executadas
  - 2.6.2. Tempo de execução
  - 2.6.3. Ciclos de relógio por instrução (CPI)

**UNIDADE: 03**

**CONTEÚDO:** Bloco de Dados e Bloco de Controle

- 3.1. Componentes básicos do Bloco de Dados
  - 3.1.1. Memória de Instrução

Carimbo e Assinatura da Unidade:

**Campus Central**

Av. Ipiranga, 6681 – Prédio 32 – CEP: 90619-900  
Fone: (51) 3320-3558 – Fax (51) 3320-3758  
E-mail: [informatica@pucrs.br](mailto:informatica@pucrs.br)  
[www.pucrs.br/facin](http://www.pucrs.br/facin)



- 3.1.2. Memória de Dados
- 3.1.3. Registradores
- 3.1.4. Banco de Registradores
- 3.1.5. Unidade Lógico-Aritmética
- 3.2. Implementação do Bloco de Dados monociclo
- 3.3. Limitações da implementação monociclo
- 3.4. Implementação do Bloco de Dados multiciclo
  - 3.4.1. Registradores internos
  - 3.4.2. Bloco de Controle com máquina de estados e microprogramado
- 3.5. Desempenho da implementação multiciclo

**Nº DA UNIDADE:** 04

**CONTEÚDO:** Implementação de módulos de sistemas computacionais

- 4.1. Módulos processadores
  - 4.1.1. Multiplicação e divisão seriais
  - 4.1.2. Integração dos módulos processadores ao processador MIPS
- 4.2. Entrada e saída
  - 4.2.1. Co-processadores 0 e 1 do MIPS
  - 4.2.2. Integração dos co-processadores ao processador MIPS
- 4.3. Módulos periféricos

#### **BIBLIOGRAFIA:**

- **BÁSICA:**

1. David A. Patterson, John L. Hennessy. "Organização e Projeto de Computadores - a interface Hardware/Software". Editora LTC, 2000, 551 p. [004.22 H515o]
2. John L. Hennessy, David A. Patterson. "Arquitetura de computadores: uma abordagem quantitativa". Editora Campus, 2003, 827 p. [004.22 H515a]

- **COMPLEMENTAR:**

1. William Stallings. "Arquitetura e organização de computadores: projeto para o desempenho". Editora Prentice Hall, 2003, 786 p. [004.22 S782a]

Carimbo e Assinatura da Unidade:

**Campus Central**

Av. Ipiranga, 6681 – Prédio 32 – CEP: 90619-900  
Fone: (51) 3320-3558 – Fax (51) 3320-3758  
E-mail: [informatica@pucrs.br](mailto:informatica@pucrs.br)  
[www.pucrs.br/facin](http://www.pucrs.br/facin)



2. Sweetman, Dominic. "See MIPS run". Editora Morgan Kaufmann, 1999, 488 p. [004.165M S974s]
3. Stephen Brown, Zvonko Vranesic. "Fundamentals of digital logic with VHDL design". Editora McGraw-Hill, 2000, 840 p. [004.22 B879f]
4. K. C. Chang. "Digital systems design with VHDL and synthesis : an integrated approach". Editora IEEE Computer Society, 1999, 499 p. [621.38173 C456d]
5. Peter J. Ashenden. "The student's guide to VHDL". Editora Morgan Kaufmann, 1998, 312 p. [005.133V A824s]
6. James H. Herzog. "Design and organization of computer structures". Editora Franklin, Beedle and Associates, 1996, 584 p. [004.22 H582d]

- **SOFTWARE DE APOIO**

1. ACTIVE - HDL (Simulador de linguagens de descrição de hardware)
2. XILINX ISE - (Ferramenta de síntese de circuitos digitais)
3. Simuladores Específicos (Simuladores para as arquiteturas utilizadas como estudo de caso)

Carimbo e Assinatura da Unidade:

**Campus Central**

Av. Ipiranga, 6681 – Prédio 32 – CEP: 90619-900  
Fone: (51) 3320-3558 – Fax (51) 3320-3758  
E-mail: [informatica@pucrs.br](mailto:informatica@pucrs.br)  
[www.pucrs.br/facin](http://www.pucrs.br/facin)