#### V 1.2 - De: 22/junho/2021 por Ney Calazans Organização de Computadores-EC

Organização de Computadores – Trabalho Prático 3

Suporte a Novas Instruções da ISA MIPS no processador MIPS\_S

# INTRODUÇÃO

A Unidade III deste curso, principal da disciplina, estudou a organização básica de um processador, sua implementação funcional e sua simulação. Além de estudar organizações monociclo e multiciclo de uma arquitetura estudo de caso, estudou-se também a forma de acrescentar novas instruções a uma organização inicial, isto é, uma com suporte à execução de um subconjunto das instruções previstas na arquitetura MIPS R2000. A disciplina co-requisito desta, Laboratório de Organização de Computadores estuda de forma concomitante a implementação de hardware sobre dispositivos do tipo FPGA e plataformas baseadas nestes, bem como detalhes do ferramental de validação baseado em simulação de hardware e uso de montadores e simuladores de arquiteturas.

O objetivo do presente trabalho é exercitar o processo de incrementar a implementação de um processador a partir de uma organização multiciclo parcial do mesmo. O estudo de caso a ser usado é o processador MIPS\_S, conforme descrito no documento “[Processador Multiciclo – MIPS\_S](http://www.inf.pucrs.br/~calazans/undergrad/orgcomp_EC/mips_multi/Arq_MIPS_Multiciclo_Spec.pdf)”. A organização de partida deve ser a MIPS multiciclo vista em aula, similar ao MIPS\_S, com suporte para multiplicação e divisão. O link para esta organização de partida está aqui: [MIPS multiciclo](https://www.inf.pucrs.br/~calazans/undergrad/orgcomp_EC/mips_multi/Files_MIPS-MC_SingleEdge.7z).

# FORMAÇÃO DOS GRUPOS

**Formação dos grupos**: Os grupos deverão ser de 2 ou 3 alunos. Não se aceitam trabalhos individuais.

# TRABALHO A SER DESENVOLVIDO E REGRAS DO JOGO

O presente trabalho consistirá no acréscimo de 3 novas instruções, gerando uma implementação com novas capacidades em relação à MIPS\_S original. As novas instruções são **BGTZ**, **MTLO** e **CLO**.

A funcionalidade básica de cada uma das novas instruções é a seguinte (para mais detalhes, consultar o Apêndice A do livro texto da disciplina):

* **BGTZ Rs,label** - Se **Rs** for maior que 0, salta para **label**.
Formato I: 7 **Rs** 0x0 offset
* **MTLO Rs** – Copia o conteúdo do registrador **Rs** para o registrador **Lo**.
Formato R: 0 **Rs** 0 0x13
* **CLO Rd,Rs** –Toma o conteúdo do registrador **Rs** e conta, a partir do bit mais à esquerda deste o número de bits em 1 até chegar ao primeiro bit em 0. Este valor é escrito no registrador **Rd**.
Formato R: 0x1c **Rs** 0 **R**d 0 0x21

Estudem o problema e proponham a solução, documentando a forma escolhida de implementar esta.

Formato do trabalho e avaliação: O trabalho deverá ser entregue via sala do Moodle até o fim do dia 29/06/2021. A entrega deve ser um arquivo compactado, contendo pelos menos os seguintes itens:

1. Fontes VHDL do processador e do testbench (3,0 pontos);
2. Arquivo(s) de configuração de formas de onda (.wcfg) usado(s) na validação do projeto (0,5 pontos);
3. Códigos fonte e objeto do(s) programa(s) de teste (2,5 pontos);
4. Um relatório que descreva o trabalho, contemplando pelo menos dois itens:
	1. Uma descrição das alterações realizadas na organização original para incluir as novas instruções (1,5 pontos)
	2. Um conjunto de formas de onda comentadas, demonstrando a funcionalidade correta das instruções com suporte adicionado para gerar a nova organização (2,5 pontos).

Valor do trabalho: Este trabalho vale 30% do G1.